PATENT ABSTRACTS OF JAPAN

(11)Publication number:

59-116864

(43)Date of publication of application: 05.07.1984

(51)Int.CI.

606F 11/34

(21)Application number: 57-225374

: 57-225374 22.12.1982 (71)Applicant:

Mappineant.

FUJITSU LTD

(72)Inventor:

KAMIOKA SADAO NISHIMURA AKIRA

SHIMASUE TSUTOMU

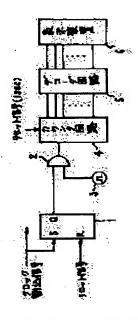
(54) MEASUREMENT SYSTEM FOR USE RATE OF CENTRAL PROCESSING UNIT

(57)Abstract:

(22)Date of filing:

PURPOSE: To measure the use rate of a CPU by setting an FF corresponding clock level processing and base level processing only while they are carried out, and measuring externally the time ratio of its set state.

CONSTITUTION: When a clock interruption signal is generated, an FF 1 is set to generate (1) as its Q output. This state is held until a reset signal is applied to the FF 1 under programmed control after the base level processing is completed. A pulse generating circuit 3 which generates pulses of specific frequency is connected to an AND gate 2. Therefore, the output of the FF 1 is inputted to a counter circuit 4 through a gate 2 and counted. The circuit 4 is reset at specific intervals of time, so the number of pulses received within the specific time is sent to a display device 6 through a decoder circuit 5 and displayed. The display uses decimal representation.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

COLON VOIL COUNT

19 日本国特許庁 (JP)

①特許出願公開

⑩公開特許公報(A)

昭59—116864

⑤Int. Cl.³
G 06 F 11/34

識別記号

庁内整理番号 6913-5B ❸公開 昭和59年(1984)7月5日

発明の数 1 審査請求 未請求

(全 4 頁)

③中央処理装置使用率測定方式

②特

願 昭57-225374

22出

願 昭57(1982)12月22日

@発明

者 上岡貞雄

川崎市中原区上小田中1015番地

富士通株式会社内

⑫発 明 者 西村彰

川崎市中原区上小田中1015番地 富士通株式会社内

⑫発 明 者 嶋末勉

川崎市中原区上小田中1015番地

富士通株式会社内

⑪出 願 人

人 富士通株式会社

川崎市中原区上小田中1015番地

19代 理 人 弁理士 山谷晧栄

明 細 1

発明の名称
 中央処理装置使用率測定方式

2. 特許請求の範囲

するようにしたことを特徴とする中央処理装置使 用事剤定方式。

- (2) 上記フリップフロップにパルスカウンタを接続し、このパルスカウンタを設フリップフロップがセット状態にあるとき動作させるようにしたととを特徴とする特許請求の範囲第1項記載の中央処理装置使用率測定方式。
- (3) 上記フリップフロップに積分回路と表示装置を接続し、設フリップフロップがセット状態にあるとき積分動作を行わせるようにしたことを特徴とする特許請求の範囲第1項記載の中央処理装置使用率測定方式。

3. 発明の詳細な説明

発明の技術分野

本発明は中央処理装置を有する電子交換システムにおいて、中央処理装置がクロックレベル処理やペースレベル処理等を実行している中央処理装置の使用時間が未使用時間をも含めた全時間のどの程度の割合であるかということを測定する中央

処理装置使用率制定方式に関する。

從來技術上閱願点

電子交換システムでは、その設備の管理上、この中央処理装置の使用率を測定することが必要となり、その使用率が一定時間毎に算出されたりして、その動作状態が監視されている。なおここで

3

とが必要となり、そのためにシステムの処理能力がわずかではあるが低下するという欠点があつた。 祭用の目的

本発明の目的は、とのような欠点を改善するため、交換処理に影響を与えるような演算を行うととなく、中央処理装置の使用率を外部から容易にかつ正確に測定するととを可能にして、使用率測定のための内部処理を不要とした中央処理装置使用率測定方式を提供することである。

発明の構成

使用率 U は、クロックレベル処理時間を T₁,ベースレベル処理時間を T₂。未使用状態を T₃とすると、次式により得られる。

$$U = \frac{T_1 + T_2}{T_1 + T_1 + T_2} \times 100 (\%)$$

したがつてとの中央処理装置の使用率の測定及 び演算のため、別の処理ルーチンを作動させると

4

ップをリセットするととにより、クロックレベル 処理およびベースレベル処理が実行されている間 だけそのフリップフロップをセット状態にし、そ のフリップフロップがセット状態になつている時 間の割合を外部から測定することにより中央処理 装置の使用率を測定するようにしたことを特徴と する。

発明の実施例

本発明の一実施例を第1図及び第2図により脱明する。

第1図(イ)は電子交換システムにおける中央処理 装置の使用状態説明図、同(口)は第2図におけるフリップフロップ回路の出力状態説明図、同(口)は第 2図におけるアンド・ゲートの出力状態説明図、 第2図は本発明の一実施例構成図である。

図中、1 はフリンプフロンプ回路(以下FFという)、2 はアンド・ゲート、3 は パルス発生回路、4 はカウンタ回路、5 はデコータ回路、6 は表示装置である。

FF1は中央処理装置がクロックレベル処理を

5

またアンド・ゲート 2 には パルス発生回路 3 が接続され、とのパルス発生回路 3 は例えば 1 MHZ のパルスを発生している。したがつて、第 1 図印に示す如き、FF 1 の出力がアンド・ゲート 2 に印加されるので、アンド・ゲート 2 からは第 1 図行に示す如き、パルスが出力され、この出力信号が

7

なり、FF1の出力信号のデューテイ値として積 分回路7から出力されることになる。したがつて 表示装置8によりそのデューティ値を表示することができ、このデューティ値は中央処理装置の使 用能率に比例するので、使用率をこれまた計器で ある表示装置8から直接読み取ることができる。 発明の効果

本発明によれば下下を中央処理装置のクロック制込信号によりセットしその空き状態になつたときにリセットし、との下下の状態を外部より読取るように構成したので、中央処理装置の処理能力を何等損うことなくその使用率を効果的に、しかも非常に簡単に測定することが可能となる。

4. 図面の簡単な説明

第1図(イ) は電子交換システムにおける中央処理 装置の使用状態説明図、同向は第2図におけるフ リップフロップ回路の出力状態説明図、同(イ) は第 2 図におけるアンド・ゲートの出力状態説明図、 第2図は本発明の一実施例構成図、第3図は本発

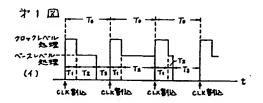
本発明の他の実施例を第3図について説明する。 第3図ではFF1のQ端子に積分回路7を接続 し、この積分回路7の積分値を表示装置8により 表示する。

との場合、第1図向に示されるFF1の出力信号は、積分回降7により同向の領線VMに示す如く

8

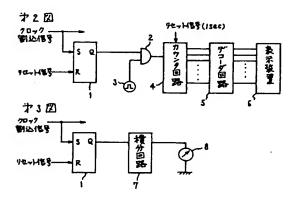
明の他の実施例構成図である。

> 特許出顧人 富士 通 株式 会 社 代理人弁理士 山 谷 時 参









This Page is Inserted by IFW Indexing and Scanning Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

BLACK BORDERS

IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

FADED TEXT OR DRAWING

BLURRED OR ILLEGIBLE TEXT OR DRAWING

SKEWED/SLANTED IMAGES

COLOR OR BLACK AND WHITE PHOTOGRAPHS

GRAY SCALE DOCUMENTS

LINES OR MARKS ON ORIGINAL DOCUMENT

REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

IMAGES ARE BEST AVAILABLE COPY.

☐ OTHER:

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.